

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-363327

(43)Date of publication of application : 24.12.2004

(51)Int.Cl.

H01L 29/78

(21)Application number : 2003-160055

(71)Applicant : FUJI ELECTRIC DEVICE
TECHNOLOGY CO LTD

(22)Date of filing : 04.06.2003

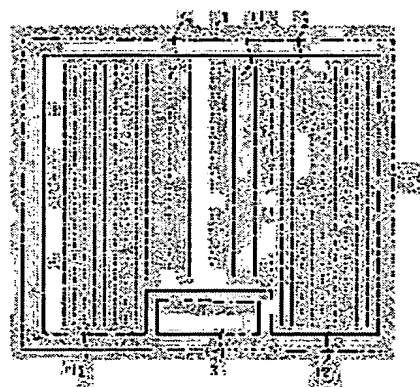
(72)Inventor : KANAMARU HIROSHI
OTSUKI MASATO
ONOZAWA YUICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a thermal reliability of a semiconductor device having an insulation gate structure by reducing a temperature imbalance in the plane of a chip to raise the uniformity of temperature distribution.

SOLUTION: Unit cells 4 are spaced widely in a central portion 11 of the chip which has a large calorific value and a bad heat dissipation while they are arranged close to each other in the periphery 12 of the chip which has a small calorific value and a good heat dissipation. Thus, base layers are arranged at different intervals in the central portion 11 and the periphery 12 of the chip.



LEGAL STATUS

[Date of request for examination]

14.09.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363327

(P2004-363327A)

(43) 公開日 平成16年12月24日(2004. 12. 24)

(51) Int.Cl.⁷

H01L 29/78

F I

H01L 29/78 655G

H01L 29/78 652P

H01L 29/78 652S

H01L 29/78 653A

テーマコード (参考)

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2003-160055 (P2003-160055)
 (22) 出願日 平成15年6月4日(2003.6.4)

(71) 出願人 503361248
 富士電機デバイステクノロジー株式会社
 東京都品川区大崎一丁目11番2号
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 金丸 浩
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 大月 正人
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 小野沢 勇一
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

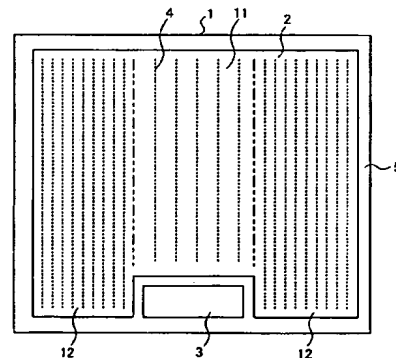
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 絶縁ゲート構造を有する半導体装置において、チップ面内の温度アンバランスを緩和し、温度分布の均一性を高めることによって、熱的信頼性を高めること。

【解決手段】 発熱量が大きく、放熱性の悪いチップ中央部11では、ユニットセル4を疎に配置し、発熱量が小さく、放熱性のよいチップ周辺部12では、ユニットセル4を密に配置することによって、チップ中央部11での放熱性を向上させる。このように、ベース層において、チップの中央部11とチップ周辺部12とで異なる間隔で配置する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型のドリフト層、前記ドリフト層の表面に形成された第 2 導電型のベース層、前記ベース層内に形成された第 1 導電型の不純物拡散領域、前記不純物拡散領域と前記ドリフト層との間のチャンネルとなる領域に接して設けられた絶縁ゲート構造、並びに前記不純物拡散領域および前記ベース層の両方に電氣的に接続する電極を備えた半導体素子が複数設けられた半導体装置であって、
前記ベース層は、チップの中央部と周辺部とで異なる間隔で配置されていることを特徴とする半導体装置。

【請求項 2】

前記ベース層は、前記電極からの発熱量が小さいチップ周辺部よりも、前記電極からの発熱量が大きいチップ中央部の方が疎に配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記チャンネルが形成される活性領域外に、前記活性領域でアバランシェ・ブレイク・ダウンが発生するよりも先にアバランシェ・ブレイク・ダウンが発生する耐圧構造を有することを特徴とする請求項 1 または 2 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に絶縁ゲート構造を有するパワー半導体装置、たとえば絶縁ゲート型バイポーラトランジスタ (IGBT) や絶縁ゲート型電界効果トランジスタ (MOSFET) に関する。

【0002】

【従来の技術】

図 13 は、従来の半導体装置における IGBT の 1 ユニットセルの配置を模式的に示す平面図である。図 13 において、符号 1 は半導体チップであり、符号 2 はエミッタパッドであり、符号 3 はゲートパッドである。符号 4 で示す複数の破線は、それぞれがユニットセル 4 を表している。符号 5 は耐圧エッジ部である。なお、すべての添付図面において、同一の構成要素については同一の符号を付す。

【0003】

図 13 に示すように、従来のユニットセル 4 は、チップ 1 の全面にわたって規則正しく配置されている。すなわち、ユニットセル 4 は、たとえばストライプ状の配置の場合、チップ 1 の中央部でも周辺部でも同じ間隔で並んでいる。このような規則的な配置は、エミッタ構造がプレーナ構造であっても、トレンチ構造であっても同様である。また、パワー MOSFET でも同様である。

【0004】

図 14 は、IGBT チップ内の温度分布および熱伝搬経路を模式的に示す図である。図 14 において、符号 6 はユニットセルが並ぶ活性部であり、符号 7 は IGBT であり、符号 8 はチップ 1 と実装基板 9 とを接合する半田層である。図 14 に示すように、チップ内の温度分布は、チップ中央部で最も高温となり、チップ周辺部にいくほど温度が低くなる山状の分布となる。

【0005】

このような温度差は、チップ 1 に電流が流れることによる発熱と、コレクタ電極 7 から半田層 8 を介して実装基板 9 への放熱とのバランスに起因して生じる。チップ中央部において放熱に寄与する熱経路は、主にコレクタ電極 7 へ向かってチップ 1 の深さ方向に熱が伝わる経路 (縦経路) だけである。

【0006】

それに対して、チップ周辺部において放熱に寄与する熱経路は、上述した縦経路に加えて、活性部 6 から耐圧エッジ部 5 へ向かって熱が伝わる経路 (横経路) もあるので、放熱性

10

20

30

40

50

に優れる。したがって、上述したような山状の温度分布となる。このような温度分布は、パワー MOS FET でも同様である。

【0007】

ところで、絶縁ゲート型半導体装置において、ワイヤボンディング部直下の隣接ベース間距離を、ワイヤボンディング部以外での隣接ベース間距離よりも小さくすることにより、ラッチアップ現象やラッチバック現象を制御する技術が公知である（たとえば、特許文献1参照。）。また、複数の主電流セルと1以上の電流検出セルを有する I G B T において、電流検出セルのベース領域を主電流セルのベース領域よりも大きくすることにより、電流検出の温度特性をよくする技術が公知である（たとえば、特許文献2参照。）。 10

【0008】

【特許文献1】

特開平3-96282号公報

【特許文献2】

特開平9-219518号公報

【0009】

【発明が解決しようとする課題】

しかしながら、従来の I G B T やパワー MOS FET の半導体チップでは、エミッタパッドの中央部にアルミニウムワイヤをボンディングし、通電状態と非通電状態とを繰り返す試験（ヒートサイクル試験）をおこなうと、チップ中央部での熱的ストレスが大きいため、アルミニウムワイヤが剥がれたり、その根元で折れるなどの不具合が発生する。そのため、チップ中央部にワイヤをボンディングすることができないという制限がある。換言すれば、チップ中央部にワイヤをボンディングすると、熱的信頼性の低下を招くという問題点がある。 20

【0010】

本発明は、上記問題点を鑑みてなされたものであって、チップ面内の温度アンバランスを緩和し、温度分布の均一性を高めることによって、熱的信頼性の高い半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成するため、本発明は、第1導電型のドリフト層、前記ドリフト層の表面に形成された第2導電型のベース層、前記ベース層内に形成された第1導電型の不純物拡散領域、前記不純物拡散領域と前記ドリフト層との間のチャンネルとなる領域に接して設けられた絶縁ゲート構造、並びに前記不純物拡散領域および前記ベース層の両方に電気的に接続する電極を備えた半導体素子が複数設けられた半導体装置であって、前記ベース層は、チップの中央部と周辺部とで異なる間隔で配置されていることを特徴とする。 30

【0012】

この発明において、電流が流れるベース層が、発熱量が小さいチップ周辺部で密な配置となり、発熱量が大きいチップ中央部の方が疎に配置されているとよい。また、前記チャンネルが形成される活性領域外に、前記活性領域でアバランシェ・ブレイク・ダウンが発生するよりも先にアバランシェ・ブレイク・ダウンが発生する耐圧構造を有するとよい。 40

【0013】

この発明によれば、発熱量が大きいチップ中央部での放熱性が向上するので、チップ面内の温度アンバランスが緩和され、均一な温度分布が得られる。

【0014】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0015】

実施の形態1.

図1は、本発明の実施の形態1にかかる半導体装置のユニットセルの配置を模式的に示す平面図である。図1に示すように、ストライプ構造のユニットセル4が平行に並んでいる 50

。そして、ユニットセル 4 の間隔は、チップ中央部 11 で大きくなり、チップ周辺部 12 では小さくなっている。つまり、チップ中央部 11 では、ユニットセル 4 は、チップ周辺部 12 よりも疎に配置されている。なお、図 1 においてユニットセル 4 と平行な 2 本の二点鎖線は、チップ中央部 11 とチップ周辺部 12 との境界を表している。

【0016】

実施の形態 2.

図 2 は、本発明の実施の形態 2 にかかる半導体装置のユニットセルの配置を模式的に示す平面図である。図 2 に示すように、ストライプ構造のユニットセル 4 が螺旋状に配置されている。そして、ユニットセル 4 の巻きの間隔は、チップ中央部 11 で大きくなり、チップ周辺部 12 では小さくなっている。つまり、チップ中央部 11 では、ユニットセル 4 は、チップ周辺部 12 よりも疎に配置されている。なお、図 2 において楕円状の二点鎖線は、それぞれチップ中央部 11 とチップ周辺部 12 を表している。

10

【0017】

実施の形態 3.

図 3 は、本発明の実施の形態 3 にかかる半導体装置のユニットセルの配置を模式的に示す平面図である。図 3 に示すように、実施の形態 3 では、ユニットセル 4 は、単純なストライプ構造ではなく、ストライプ構造のユニットセル 4 を四角形状に繋げたセル構造となっている。そして、ユニットセル 4 の間隔は、チップ中央部 11 で大きくなり、チップ周辺部 12 では小さくなっている。つまり、チップ中央部 11 では、ユニットセル 4 は、チップ周辺部 12 よりも疎に配置されている。なお、図 3 において楕円状の二点鎖線は、それぞれチップ中央部 11 とチップ周辺部 12 を表している。

20

【0018】

実施の形態 4.

図 4 は、本発明の実施の形態 4 にかかる半導体装置のユニットセルの配置を模式的に示す平面図である。図 4 に示すように、実施の形態 4 は、実施の形態 1 のユニットセル 4 の配置に加えて、ゲートパッド 3 が設けられている側の辺の対辺側にも、その対辺と平行に、ストライプ構造のユニットセル 4 を並べて配置したものである。この新たに配置された、対辺と平行に並ぶユニットセル 4 の間隔は、チップ周辺部 12 における間隔と同じである。なお、図 4 においてユニットセル 4 と平行な 2 本の二点鎖線は、チップ中央部 11 とチップ周辺部 12 との境界を表している。

30

【0019】

つぎに、上述した実施の形態 1 ~ 4 に適用される半導体素子の構成を 4 つ挙げ、それぞれ簡単に説明する。なお、以下の説明では、第 1 導電型を n 型とし、第 2 導電型を p 型とするが、その逆でも同様である。

【0020】

図 5 は、トレンチ構造を有するノンパンチスルー型 IGBT の構成を示す断面図である。図 5 に示すように、 n^- ドリフト層 21 の表面に p ベース層 22 が設けられている。トレンチ 23 は、p ベース層 22 の表面から n^- ドリフト層 21 に達するように形成されている。ゲート酸化膜 24 は、トレンチ 23 の内面に沿って設けられている。

【0021】

トレンチ 23 の、ゲート酸化膜 24 の内側は、ゲート電極 25 となる導電性のポリシリコンで埋められている。各ユニットセル 4 において、p ベース層 22 の表面層の、トレンチ 23 の脇には、不純物拡散領域となる n ソース領域 26 が設けられている。また、p ベース層 22 の表面層には、n ソース領域 26 を除いて、 p^+ 拡散層 27 が設けられている。

40

【0022】

エミッタパッド（電極）2 は、n ソース領域 26 および p^+ 拡散層 27 に接触しており、n ソース領域 26 および p^+ 拡散層 27 を介して p ベース層 22 の両方に電気的に接続されている。ユニットセル 4 とユニットセル 4 との間の領域では、エミッタパッド 2 は、層間絶縁膜 28 により p ベース層 22 から絶縁されている。また、 n^- ドリフト層 21 の裏面側には、 p^+ コレクタ層 29 が設けられている。

50

【0023】

一例として、図5に示すIGBTの各部の寸法を挙げる。なお、本発明は、これらの寸法に限定されるものではない。

【0024】

ユニットセル4とユニットセル4との間隔Wは、チップ中央部11では40 μ mであり、チップ周辺部12では20 μ mである。トレンチ23の幅は1 μ mである。nソース領域26およびp⁺拡散層27を挟むトレンチ23とトレンチ23との間隔は4 μ mである。トレンチ23の深さは6 μ mである。pベース層22の深さは5 μ mである。nソース領域26およびp⁺拡散層27の深さは0.5 μ m程度である。ゲート酸化膜24の厚さは0.1 μ mである。

10

【0025】

また、特に限定しないが、pベース層22、nソース領域26およびp⁺拡散層27は、いずれも不純物のイオン注入とその熱拡散により形成される。pベース層22を形成するためには、たとえばボロンを1 $\times 10^{14}$ cm⁻²程度のドーズ量で注入すればよい。また、p⁺拡散層27を形成するためには、たとえばボロンを1 $\times 10^{15}$ cm⁻²程度のドーズ量で注入すればよい。nソース領域26を形成するためには、たとえば砒素を1 $\times 10^{15}$ cm⁻²程度のドーズ量で注入すればよい。

【0026】

図6は、プレーナ構造を有するノンパンチスルー型IGBTの構成を示す断面図である。図6に示すように、n⁻ドリフト層21の表面にpベース層22が選択的に設けられている。pベース層22の表面層には、不純物拡散領域となるnソース領域26およびp⁺拡散層27が設けられている。pベース層22の、ソース領域26とn⁻ドリフト層21とに挟まれた領域の上には、ゲート酸化膜24が設けられており、さらにその上にゲート電極25となる導電性のポリシリコンが設けられている。

20

【0027】

エミッタパッド2は、nソース領域26およびp⁺拡散層27に接触しており、nソース領域26およびp⁺拡散層27を介してpベース層22の両方に電氣的に接続されている。また、エミッタパッド2は、層間絶縁膜28によりゲート電極25から絶縁されている。また、n⁻ドリフト層21の裏面側には、p⁺コレクタ層29が設けられている。

【0028】

一例として、図6に示すIGBTの各部の寸法を挙げる。なお、本発明は、これらの寸法に限定されるものではない。

30

【0029】

ユニットセル4とユニットセル4との間隔は、チップ中央部11では40 μ mであり、チップ周辺部12では20 μ mである。pベース層22の深さは3 μ mである。nソース領域26およびp⁺拡散層27の深さは1 μ mである。また、特に限定しないが、pベース層22、nソース領域26およびp⁺拡散層27をイオン注入により形成する際のイオン種およびドーズ量は、図5に示すノンパンチスルー型IGBTの場合と同様である。

【0030】

図7は、トレンチ構造を有するパンチスルー型IGBTの構成を示す断面図である。図7に示すように、n⁻ドリフト層21とp⁺コレクタ層29との間にn⁺バッファ層31が設けられている。その他の構成は、図5に示すノンパンチスルー型IGBTと同様であるので、重複する説明を省略する。また、各部の寸法も図5に示すノンパンチスルー型IGBTと同様である。

40

【0031】

図8は、トレンチ構造を有するフィールドストップ型IGBTの構成を示す断面図である。図8に示すように、n⁻ドリフト層21とp⁺コレクタ層29との間にn⁺フィールドストップ層32が設けられている。その他の構成は、図5に示すノンパンチスルー型IGBTと同様であるので、重複する説明を省略する。また、各部の寸法も図5に示すノンパンチスルー型IGBTと同様である。

50

【0032】

図9は、縦型のパワーMOSFETの構成を示す断面図である。図9に示すように、 n^+ 半導体基板33の表面に n^- ドリフト層21が形成されている。 n^- ドリフト層21の表面にpベース層22が選択的に設けられている。pベース層22の表面層には、不純物拡散領域となるnソース領域26および p^+ 拡散層27が設けられている。pベース層22の、ソース領域26と n^- ドリフト層21とに挟まれた領域の上には、ゲート酸化膜24が設けられている。

【0033】

ゲート酸化膜24の上には、ゲート電極25となる導電性のポリシリコンが設けられている。ソースパッド(電極)34は、nソース領域26および p^+ 拡散層27に接触しており、nソース領域26および p^+ 拡散層27を介してpベース層22の両方に電氣的に接続されている。また、ソースパッド34は、層間絶縁膜28によりゲート電極25から絶縁されている。

10

【0034】

つぎに、上述した実施の形態1～4の各半導体装置に適用される耐圧構造について説明する。図10は、耐圧構造の一例を示す断面図である。図10に示すように、ゲートパッド3の直下に、活性部6のトレンチ23の深さよりも深い p^+ ウェル領域35を、イオン注入および熱拡散により形成する。 p^+ ウェル領域35とゲートパッド3とは、層間絶縁膜28により絶縁されている。また、ゲートパッド3はゲート電極25に接続されており、層間絶縁膜36によりエミッタパッド2から絶縁されている。

20

【0035】

このような耐圧構造にすることによって、コレクタに電圧が印加されたときに、トレンチ23の底部の角部よりも先に、 p^+ ウェル領域35と n^- ドリフト層21とのpn接合部において、アバランシェ・ブレイク・ダウンが発生する。つまり、このゲートパッド3の直下の耐圧構造において素子耐圧が決定される。

【0036】

図11は、耐圧構造の他の例を示す断面図である。図11に示すように、耐圧エッジ部5において、活性部6に近い側から順に、いずれもp層からなる第1のガードリング37、第2のガードリング38および第3のガードリング39を形成する。これら第1～第3のガードリング37、38、39の深さや間隔を適当に設計することにより、コレクタに電圧が印加されたときに、活性部6よりも低い電圧で第1のガードリング37の外側のコーナー部でアバランシェ・ブレイク・ダウンが発生する。つまり、耐圧エッジ部5において素子耐圧が決定される。

30

【0037】

たとえば、IGBTの各部の寸法を、図5に示すノンパンチスルー型IGBTの説明において例示した寸法とすると、第1～第3のガードリング37、38、39の深さを $5\mu\text{m}$ とし、かつ第1のガードリング37と第2のガードリング38を $3\mu\text{m}$ 以上離すことにより、活性部6よりも低い電圧で第1のガードリング37の外側のコーナー部でアバランシェ・ブレイク・ダウンが発生する。

【0038】

つぎに、実際にIGBTチップを試作してチップ内の温度分布を測定した結果について説明する。試作したIGBTチップのセル配置のパターンは図1に示すパターンであり、IGBTの断面構成は図5に示す構成であった。各部の寸法等は図5の説明において例示した寸法であり、これを実施例とした。また、比較のため、実施例と同じ断面構成であり、図13に示すセル配置パターンで、セル間隔を $30\mu\text{m}$ としたIGBTチップを作製し、これを従来例とした。ただし、実施例と従来例とで、MOSの総チャネル長が同じになるように設計した。

40

【0039】

また、実施例および従来例の両者とも、エミッタパッド2に、図1においてチップ中央部11に4箇所、また左右のチップ周辺部12にそれぞれ3箇所ずつ、直径 $350\mu\text{m}$ のア

50

ルミニウムワイヤをボンディングした。また、温度測定にあたっては、実施例および従来例に定格電流（電流密度：約 150 A/cm^2 ）を通電し、素子温度 T_j を 125°C とした。

【0040】

図12に、温度測定結果を示す。実施例では、チップ内の最高温度は 148°C であり、最低温度は 130°C である。それに対して、従来例では、チップ内の最高温度および最低温度は、それぞれ 161°C および 125°C であり、チップ内の温度差は 36°C である。したがって、実施例のチップ内の温度差は、従来例の $1/2$ である。また、実施例によれば、チップ内の最高温度を従来例よりも 13°C 低くすることができることが確認された。また、オン電圧、漏れ電流および閾値などの静特性やスイッチング特性においても、実施例は従来例と何ら変わらなかった。

10

【0041】

また、図9に示す断面構成のMOSFETについても、図1に示すセル配置パターンのチップを試作し、上述したIGBTと同様にしてチップ内の温度分布を測定した。ただし、通電した電流は、電流密度が約 50 A/cm^2 の定格電流である。その結果、図1に示すセル配置パターンのMOSFETチップでは、図13に示すセル配置パターンのチップよりも、チップ内部の温度分布のバラツキが小さかった。

【0042】

上述した各実施の形態によれば、チップ中央部11での放熱性が向上し、チップ面内の温度アンバランスが緩和されるので、均一な温度分布が得られる。したがって、熱的信頼性が向上するという効果が得られる。特に、実施の形態4では、実施の形態1に比べて、より一層、均一な温度分布が得られる。また、ゲートパッド3の直下や、耐圧エッジ部5に耐圧構造を設けることによって、活性部6のセル配置幅を変えても、その耐圧構造部分で先にアバランシェ・ブレイク・ダウンが発生するので、活性部6のセル配置パターンに依存しない素子設計をおこなうことができる。

20

【0043】

また、熱的信頼性が向上することによって、エミッタパッド2やソースパッド34の中央部にもワイヤボンディングをおこなうことができるので、ワイヤの数を増やすことができる。それによって、ヒートサイクル性能の向上や、ワイヤの抵抗成分の低減効果が得られる。

30

【0044】

【発明の効果】

本発明によれば、発熱量が大きいチップ中央部での放熱性が向上し、チップ面内の温度アンバランスが緩和されるので、均一な温度分布が得られる。したがって、熱的信頼性が向上するという効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる半導体装置のユニットセルの配置を模式的に示す平面図である。

【図2】本発明の実施の形態2にかかる半導体装置のユニットセルの配置を模式的に示す平面図である。

40

【図3】本発明の実施の形態3にかかる半導体装置のユニットセルの配置を模式的に示す平面図である。

【図4】本発明の実施の形態4にかかる半導体装置のユニットセルの配置を模式的に示す平面図である。

【図5】トレンチ構造を有するノンパンチスルー型IGBTの構成を示す断面図である。

【図6】プレーナ構造を有するノンパンチスルー型IGBTの構成を示す断面図である。

【図7】トレンチ構造を有するパンチスルー型IGBTの構成を示す断面図である。

【図8】トレンチ構造を有するフィールドストップ型IGBTの構成を示す断面図である。

【図9】縦型のパワーMOSFETの構成を示す断面図である。

50

【図 1 0】本発明の実施の形態にかかる半導体装置の耐压構造の一例を示す断面図である。

【図 1 1】本発明の実施の形態にかかる半導体装置の耐压構造の他の例を示す断面図である。

【図 1 2】実施の形態 1 の I G B T と従来の I G B T についてチップ内の温度分布を測定した結果を示す特性図である。

【図 1 3】従来の半導体装置における I G B T の 1 ユニットセルの配置を模式的に示す平面図である。

【図 1 4】従来の I G B T チップ内の温度分布および熱伝搬経路を模式的に示す図である。

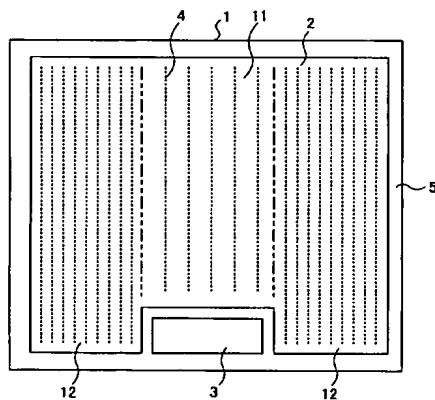
10

【符号の説明】

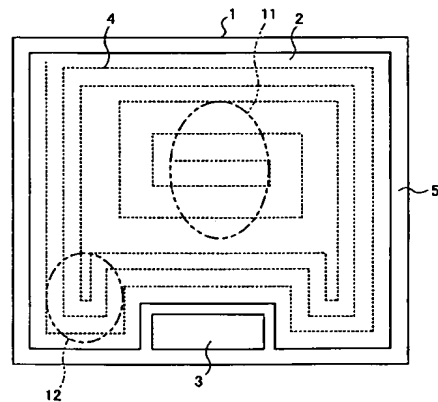
- 1 チップ
- 2, 3 4 電極（エミッタパッド、ソースパッド）
- 1 1 チップ中央部
- 1 2 チップ周辺部
- 2 1 ドリフト層
- 2 2 ベース層
- 2 4, 2 5 絶縁ゲート構造（ゲート酸化膜、ゲート電極）
- 2 6 不純物拡散領域（ソース領域）
- 3 5, 3 7, 3 8, 3 9 耐压構造（ p^+ ウェル領域、ガードリング）

20

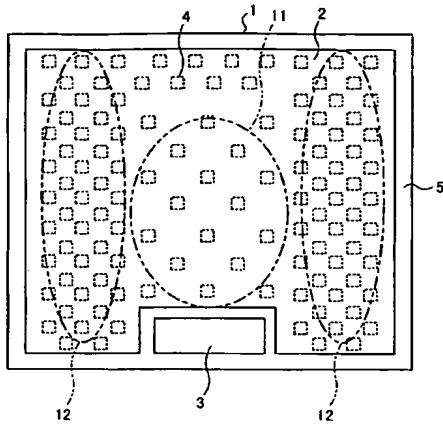
【図 1】



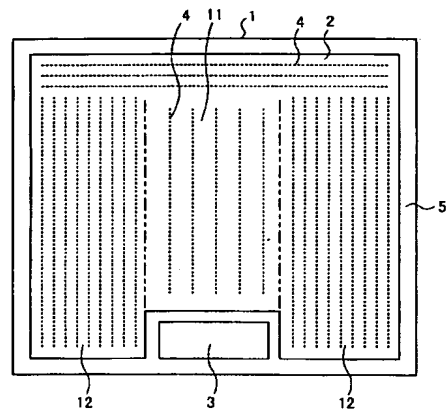
【図 2】



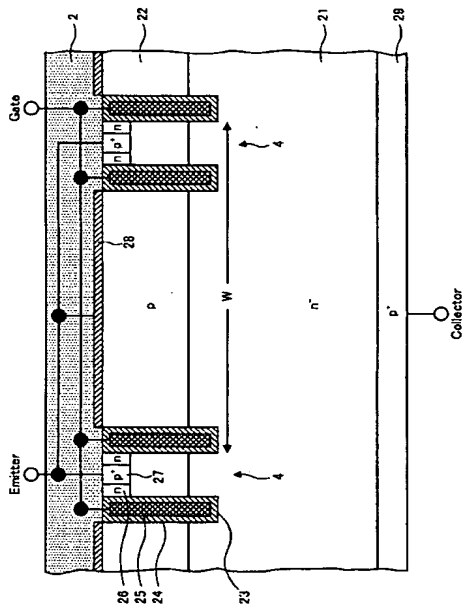
【図 3】



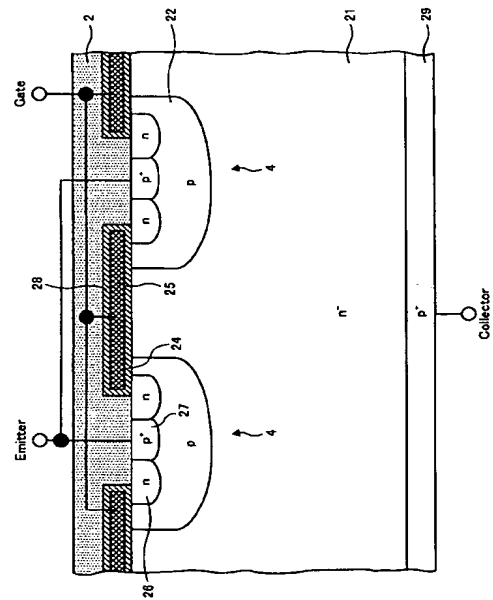
【図 4】



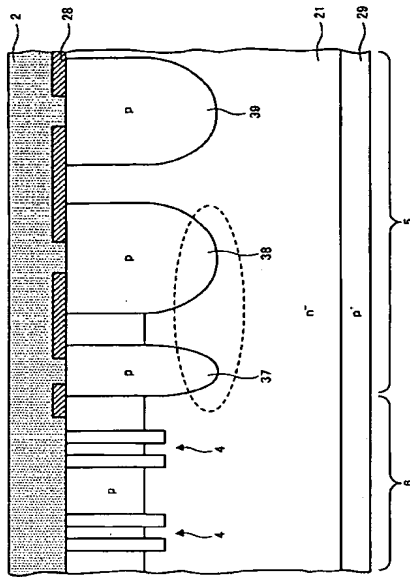
【図 5】



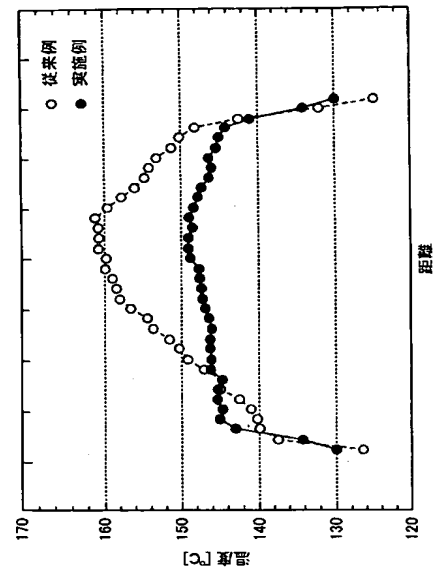
【図 6】



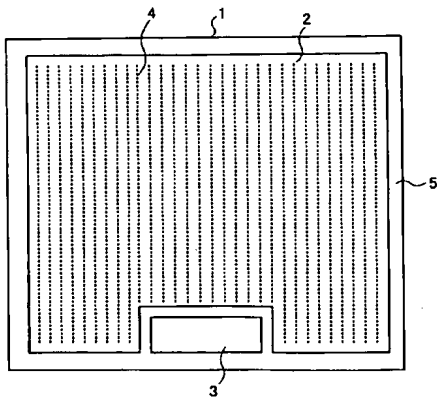
【図 1 1】



【図 1 2】



【図 1 3】



【図 1 4】

